

0SP15342
US15342 11

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 Date of Application: 2003年 3月26日

出願番号 Application Number: 特願2003-085760

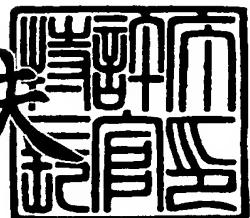
[ST. 10/C]: [JP2003-085760]

出願人 Applicant(s): セイコーエプソン株式会社

2004年 1月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫





【書類名】 特許願
【整理番号】 J0098201
【提出日】 平成15年 3月26日
【あて先】 特許庁長官 殿
【国際特許分類】 H03H 09/25
【発明の名称】 強誘電体膜の製造方法、強誘電体素子の製造方法、表面
弾性波素子、周波数フィルタ、発振器、電子回路、及び
電子機器
【請求項の数】 11
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株
式会社内
【氏名】 岩下 節也
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株
式会社内
【氏名】 樋口 天光
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株
式会社内
【氏名】 宮澤 弘
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーホームズ株式会社
【代理人】
【識別番号】 100089037
【弁理士】
【氏名又は名称】 渡邊 隆

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100110364

【弁理士】

【氏名又は名称】 実広 信哉

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体膜の製造方法、強誘電体素子の製造方法、表面弹性波素子、周波数フィルタ、発振器、電子回路、及び電子機器

【特許請求の範囲】

【請求項 1】 単結晶基板上に犠牲層としても機能するバッファー層を形成する工程と、

前記バッファー層上に強誘電体膜を形成する工程と、

前記強誘電体膜を単結晶基板から分離する工程と、

前記単結晶基板から分離された強誘電体膜を任意基板上に配設する工程と、
を備えたことを特徴とする強誘電体膜の製造方法。

【請求項 2】 単結晶基板上に犠牲層としても機能するバッファー層を形成する工程と、

前記バッファー層上に強誘電体素子を形成する工程と、

前記強誘電体素子を単結晶基板から分離する工程と、

前記単結晶基板から分離された強誘電体素子を任意基板上に配設する工程と、
を備えたことを特徴とする強誘電体素子の製造方法。

【請求項 3】 前記バッファー層は、NaCl構造の金属酸化物、および層状ペロブスカイト構造のYBaCuO系化合物のうちの、少なくとも一種からなることを特徴とする請求項2記載の強誘電体素子の製造方法。

【請求項 4】 前記強誘電体素子を単結晶基板から分離する工程が、前記強誘電体素子の表面に該強誘電体素子を保持するための保持材を貼着する工程と、
保持材を貼着した後前記バッファー層をエッチングすることにより、前記単結晶基板から前記強誘電体素子を分離する工程と、を有していることを特徴とする請求項2又は3記載の強誘電体素子の製造方法。

【請求項 5】 前記単結晶基板から分離された強誘電体素子を任意基板上に配設する工程が、前記任意基板の表面または前記強誘電体素子の裏面に接着剤を塗布し、分離された強誘電体素子を前記任意基板に接合する工程と、前記強誘電体素子の表面に貼着された保持材を除去する工程と、を有していることを特徴とする請求項4記載の強誘電体素子の製造方法。

【請求項 6】 前記強誘電体素子が単結晶基板上に複数形成されている場合に、前記強誘電体素子を単結晶基板から分離する工程が、前記強誘電体素子の表面に該強誘電体素子を保持するための保持材を貼着する工程の前に、前記強誘電体素子間に前記バッファー層にまで達する深さの溝を形成する工程を有していることを特徴とする請求項 4 又は 5 記載の強誘電体素子の製造方法。

【請求項 7】 請求項 1 記載の強誘電体膜の製造方法によって得られた強誘電体膜を圧電薄膜とし、あるいは請求項 2～6 のいずれかに記載の強誘電体素子の製造方法によって得られた強誘電体素子を圧電素子として有して構成されたことを特徴とする表面弹性波素子。

【請求項 8】 請求項 7 記載の表面弹性波素子が備える前記圧電薄膜、又は該圧電薄膜上に配設された保護膜の上に形成された第 1 の電極と、

前記圧電薄膜又は前記保護膜の上に形成され、前記第 1 の電極に印加される電気信号によって前記圧電薄膜に生ずる表面弹性波の特定の周波数又は特定の帯域の周波数に共振して電気信号に変換する第 2 の電極と、
を備えることを特徴とする周波数フィルタ。

【請求項 9】 請求項 7 記載の表面弹性波素子が備える前記圧電薄膜、又は該圧電薄膜上に配設された保護膜の上に形成され、印加される電気信号によって前記圧電薄膜に表面弹性波を発生させる電気信号印加用電極と、

前記圧電薄膜又は前記保護膜の上に形成され、前記電気信号印加用電極によって発生される表面弹性波の特定の周波数成分又は特定の帯域の周波数成分を共振させる共振用電極とトランジスタとを含む発振回路と、
を備えることを特徴とする発振器。

【請求項 10】 請求項 9 記載の発振器と、

前記発振器に設けられている前記電気信号印加用電極に対して前記電気信号を印加する電気信号供給素子とを備えてなり、

前記電気信号の周波数成分から特定の周波数成分を選択し、若しくは特定の周波数成分に変換し、又は、前記電気信号に対して所定の変調を与え、所定の復調を行い、若しくは所定の検波を行う機能を有することを特徴とする電子回路。

【請求項 11】 請求項 8 記載の周波数フィルタ、請求項 9 記載の発振器、

及び請求項 10 記載の電子回路のうち少なくとも 1 つを有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体膜の製造方法、強誘電体素子の製造方法、表面弹性波素子、周波数フィルタ、発振器、電子回路、及び電子機器に関する。

【0002】

【従来の技術】

強誘電体薄膜を有した強誘電体素子は、強誘電体メモリ、薄膜コンデンサ、センサ、表面弹性波素子、フィルタ、光学導波管、光学記憶装置、空間光変調器、圧電アクチュエーター等の各種デバイスに用いられている。これら各種デバイスの性能は、特に強誘電体素子における強誘電体薄膜の品質に左右される。したがって、この強誘電体薄膜としては、緻密な配向膜とするのが好ましく、エピタキシャル膜とすることが望まれている。

また、前記デバイスとして例えば強誘電体メモリなどでは、近年、強誘電体素子と半導体素子との集積化への要望が高まっている。なお、強誘電体は圧電性も示すため、強誘電体膜は圧電体膜となり、また強誘電体素子は圧電体素子としても機能するものとなる。

強誘電体薄膜の配向膜、エピタキシャル膜を得ようとした場合、Si 基板を含めある特定の単結晶基板を用いる必要がある（例えば、特許文献 1、特許文献 2 参照）。

【0003】

【特許文献 1】

特開 2001-107238 号公報

【特許文献 2】

特開 2002-76294 号公報

【0004】

【発明が解決しようとする課題】

ところで、前記の強誘電体素子について、そのコストやより広範な応用を考えた場合、強誘電体薄膜形成用の基板としては、単結晶基板に比べ安価な基板、例えばアモルファスやプラスチックなどの使用が望まれている。しかしながら、その場合、エピタキシャル成長を行えないなどの理由によって強誘電体薄膜の品質を十分良好にすることはできず、得られる強誘電体素子についてもその特性を十分良好に形成し得ないといった問題がある。

【0005】

また、強誘電体素子を半導体素子と共に集積しようとした場合、層間絶縁膜や保護膜上に強誘電体素子を形成しなければならないが、一般に層間絶縁膜や保護膜はアモルファスであることから、その上に強誘電体薄膜をエピタキシャル成長させることは困難である。また、強誘電体薄膜を形成するには600℃以上の高温に加熱しなければならないため、この強誘電体薄膜を半導体素子上に形成しようとした場合、熱による特性劣化などの悪影響を半導体素子に与えてしまうおそれがある。さらに、強誘電体薄膜の構成元素には半導体素子が嫌うアルカリ金属やアルカリ土類金属、揮発性元素が含まれるものもあり、その場合には特に高温プロセスを採用することができないといった製造上の大きな制約が加えられてしまう。

【0006】

本発明は前記事情に鑑みてなされたもので、その目的とするところは、任意の基板上に高性能な強誘電体素子を形成することができ、これにより強誘電体素子と半導体素子との集積化を容易にした強誘電体膜の製造方法および強誘電体素子の製造方法を提供し、さらにこれら製造方法から得られる強誘電体膜あるいは強誘電体素子を用いた表面弾性波素子、およびこの表面弾性波素子を用いた周波数フィルタ、発振器、電子回路、及び電子機器を提供することにある。

【0007】

【課題を解決するための手段】

前記目的を達成するため本発明の強誘電体膜の製造方法は、単結晶基板上に犠牲層としても機能するバッファー層を形成する工程と、前記バッファー層上に強誘電体膜を形成する工程と、前記強誘電体膜を単結晶基板から分離する工程と、

前記単結晶基板から分離された強誘電体膜を任意基板上に配設する工程と、を備えたことを特徴としている。

この強誘電体膜の製造方法によれば、単結晶基板上にバッファー層を介して強誘電体膜を形成した後、この強誘電体膜を単結晶基板から分離して任意基板上に配設するようにしたので、例えば任意基板に予め半導体素子を形成しておき、また強誘電体膜から強誘電体メモリ等の強誘電体素子を形成することにより、強誘電体素子と半導体素子との集積化が可能になる。

【0008】

本発明の強誘電体素子の製造方法は、単結晶基板上に犠牲層としても機能するバッファー層を形成する工程と、前記バッファー層上に強誘電体素子を形成する工程と、前記強誘電体素子を単結晶基板から分離する工程と、前記単結晶基板から分離された強誘電体素子を任意基板上に配設する工程と、を備えたことを特徴としている。

この強誘電体素子の製造方法によれば、単結晶基板上にバッファー層を介して強誘電体素子を形成した後、この強誘電体素子を単結晶基板から分離して任意基板上に配設するようにしたので、例えば任意基板に予め半導体素子を形成しておくことにより、強誘電体メモリ等の強誘電体素子と半導体素子との集積化が可能になる。

【0009】

また、前記強誘電体素子の製造方法においては、前記バッファー層は、 NaC_1 構造の金属酸化物、および層状ペロブスカイト構造の YBaCuO 系化合物のうちの、少なくとも一種からなるのが好ましい。

このようにすれば、これら材料が酸等に容易に溶解するため犠牲層として良好に機能するようになり、しかもこれの上に強誘電体素子を構成する強誘電体膜をエピタキシャル成長させることができ、したがって高性能な強誘電体素子を形成することが可能になる。

【0010】

また、前記強誘電体素子の製造方法においては、前記強誘電体素子を単結晶基板から分離する工程が、前記強誘電体素子の表面に該強誘電体素子を保持するた

めの保持材を貼着する工程と、保持材を貼着した後前記バッファー層をエッチングすることにより、前記単結晶基板から前記強誘電体素子を分離する工程と、を有しているのが好ましい。

このようにすれば、単結晶基板から分離された強誘電体素子が保持材に貼着されているため、保持材を介して強誘電体素子を取り扱うことができ、したがって強誘電体素子のハンドリングが容易になる。

【0011】

なお、この強誘電体素子の製造方法においては、前記単結晶基板から分離された強誘電体素子を任意基板上に配設する工程が、前記任意基板の表面または前記強誘電体素子の裏面に接着剤を塗布し、分離された強誘電体素子を前記任意基板に接合する工程と、前記強誘電体素子の表面に貼着された保持材を除去する工程と、を有しているのが好ましい。

このようにすれば、分離された強誘電体素子の任意基板への固定を容易に行うことができる。

【0012】

また、この強誘電体素子の製造方法においては、前記強誘電体素子が単結晶基板上に複数形成されている場合に、前記強誘電体素子を単結晶基板から分離する工程が、前記強誘電体素子の表面に該強誘電体素子を保持するための保持材を貼着する工程の前に、前記強誘電体素子間に前記バッファー層にまで達する深さの溝を形成する工程を有しているのが好ましい。

このようにすれば、バッファー層をエッチングすることにより複数の強誘電体素子が個片化された状態で分離されるようになる。また、特にエッチングとしてウエットエッチングを採用した場合に、エッチング液が前記溝を通ってバッファー層の中央部にまで容易に入り込み、バッファー層全体がより速くエッチングされるようになる。

【0013】

本発明の表面弹性波素子は、前記強誘電体膜の製造方法によって得られた強誘電体膜を圧電薄膜とし、あるいは前記強誘電体素子の製造方法によって得られた強誘電体素子を圧電素子として有して構成されたことを特徴としている。

この表面弹性波素子によれば、これを構成する圧電薄膜あるいは圧電素子を任意基板上に配設することができるので、任意基板に予め半導体素子等を形成しておくことにより、異なる機能素子との集積化が可能になる。

【0014】

本発明の周波数フィルタは、前記の表面弹性波素子が備える前記圧電薄膜、又は該圧電薄膜上に配設された保護膜の上に形成された第1の電極と、前記圧電薄膜又は前記保護膜の上に形成され、前記第1の電極に印加される電気信号によって前記圧電薄膜に生ずる表面弹性波の特定の周波数又は特定の帯域の周波数に共振して電気信号に変換する第2の電極と、を備えることを特徴としている。

この周波数フィルタによれば、前記表面弹性波素子が備える圧電薄膜を任意基板上に配設することができるので、任意基板に予め半導体素子等を形成しておくことによって半導体素子等との集積化が可能となり、したがって小型で高性能なものとなる。

【0015】

本発明の発振器は、前記の表面弹性波素子が備える前記圧電薄膜、又は該圧電薄膜上に配設された保護膜の上に形成され、印加される電気信号によって前記圧電薄膜に表面弹性波を発生させる電気信号印加用電極と、前記圧電薄膜又は前記保護膜の上に形成され、前記電気信号印加用電極によって発生される表面弹性波の特定の周波数成分又は特定の帯域の周波数成分を共振させる共振用電極とトランジスタとを含む発振回路と、を備えることを特徴としている。

この発振器によれば、前記表面弹性波素子が備える圧電薄膜を任意基板上に配設することができるので、任意基板に予め半導体素子等を形成しておくことによって半導体素子等との集積化が可能となり、したがって小型で高性能なものとなる。

【0016】

本発明の電子回路は、前記発振器と、該発振器に設けられている前記電気信号印加用電極に対して前記電気信号を印加する電気信号供給素子とを備えてなり、前記電気信号の周波数成分から特定の周波数成分を選択し、若しくは特定の周波数成分に変換し、又は、前記電気信号に対して所定の変調を与え、所定の復調を

行い、若しくは所定の検波を行う機能を有することを特徴としている。

この電子回路によれば、発振器に備えられる表面弾性波素子を構成する圧電薄膜を任意基板上に配設することができるので、任意基板に予め発振回路を形成しておくことによって発振回路との集積化が可能となり、したがって小型で高性能なものとなる。

【0017】

本発明の電子機器は、前記の周波数フィルタ、発振器、電子回路のうち少なくとも1つを有することを特徴としている。

この電子機器によれば、半導体素子等との集積化が可能になり、小型で高性能なものとなる。

【0018】

【発明の実施の形態】

以下、本発明に係る強誘電体膜の製造方法、強誘電体素子の製造方法、表面弾性波素子、周波数フィルタ、発振器、電子回路並びに電子機器の実施形態を、図面を参照して説明する。これらの図面は、いずれも概略図であり、各部材を図面上で認識可能な程度の大きさとするため、各部材毎に縮尺を異ならせている。

まず、本発明の強誘電体素子の製造方法について説明すると、この強誘電体素子の製造方法は、単結晶基板上に犠牲層としても機能するバッファー層を形成する工程（第1工程）と、前記バッファー層上に強誘電体素子を形成する工程（第2工程）と、前記強誘電体素子を単結晶基板から分離する工程（第3工程）と、前記単結晶基板から分離された強誘電体素子を任意基板上に配設する工程（第4工程）と、を備えた方法である。なお、この実施形態では、特に強誘電体メモリに適用される強誘電体素子の製造方法を例にして工程ごとに説明する。

【0019】

(第1工程)

図1(a)に示すように、まず、単結晶基板としてSi(100)からなる単結晶シリコン基板1を用意し、この単結晶シリコン基板1上にバッファー層2としてSrOを形成する。成膜方法については特に限定されることなく、例えばスパッタ法、蒸着法、MBE法等の公知の成膜法が採用可能であるが、本実施形態

では蒸着法の一種であるレーザーアブレーション法を用いるものとする。

【0020】

ターゲットにはSrOセラミックスを用い、成膜温度（基板温度）は650℃、成膜中の真圧度は 1.33×10^{-3} Pa (1×10^{-5} Torr) 以下とする。なお、成膜条件についてはこれに限定されないのはもちろんである。

このような条件のもとで成膜することにより、SrO薄膜は単結晶シリコン基板1上に(110)若しくは(100)配向でエピタキシャル成長し、良好な結晶膜となる。

【0021】

なお、このバッファー層2の材質については、SrOに代えて種々のものを用いることができる。具体的には、NaCl構造の金属酸化物（例えばMgO、CaO、BaO）や、層状ペロブスカイト構造のYBaCuO系化合物が挙げられる。これら材料や前記のSrOは、酸等に容易に溶解するため犠牲層として良好に機能するものとなり、また、これの上に強誘電体膜をエピタキシャル成長させることもできる。すなわち、後述するようにこのバッファー層2上に形成する下部電極3や強誘電体薄膜4を良好にエピタキシャル成長させるためのバッファー層として機能するものとなるのである。

【0022】

また、バッファー層2については、同一材料による一層で形成することなく、異なる材料を複数積層することにより、犠牲層として機能し、かつその上にエピタキシャル成長させるためのバッファー層としても機能するものにしてもよい。具体的には、単結晶シリコン基板1上にYSZ、CeO₂、YBa₂Cu₃O_yをこの順にエピタキシャルに堆積した積層構造が挙げられる。この積層構造からなるバッファー層の場合、YSZやCeO₂は酸に安定であるものの、YBa₂Cu₃O_yは酸や水に容易に溶解することから、これが後工程で犠牲層として機能する層となる。

【0023】

(第2工程)

次に、図1(b)に示すように前記バッファー層2上に下部電極3としてSr

RuO₃薄膜を形成する。この成膜方法についても特に限定されることなく、例えばスパッタ法、蒸着法、MBE法等の公知の成膜法が採用可能であるが、本実施形態ではレーザーブレーキング法を用いるものとする。

成膜条件としては、成膜温度（基板温度）を600℃以上、成膜中の真空度を1.33Pa (1×10^{-2} Torr) で作製することにより、前記バッファーライヤー上にSrRuO₃薄膜が立方晶、(100)配向でエピタキシャル成長する。

なお、成膜条件についてはこれに限定されないのはもちろんである。

また、下部電極3についても、SrRuO₃に限定されることなく種々の材質のものを用いることができる。具体的には、CaRuO₃、BaRuO₃、La_{1-x}Sr_xVO₃、La_{1-x}Sr_xMnO₃、La_{1-x}Sr_xCoO₃等の化合物、またはPt、Ir、Ruなどの金属を用いることができる。

【0024】

次いで、図1(c)に示すように前記下部電極3上に強誘電体薄膜4としてテトラゴナル組成のチタン酸ジルコン酸鉛（以下PZT）を形成する。この成膜方法についても特に限定されることなく、例えばインクジェット法等の液滴吐出法などを含め、公知の成膜法が採用可能であるが、本実施形態ではゾルゲル法を用いるものとする。また、このゾルゲル法の条件についても、特に限定されることなく適宜な条件が採用される。このような任意の条件のゾルゲル法によっても、エピタキシャル成長で形成されたSrRuO₃薄膜（下部電極3）上にPZT薄膜が(001)配向でエピタキシャル成長する。

【0025】

なお、前記強誘電体薄膜4についても、前記PZTに限定されることなく種々の材質のものを用いることができる。具体的には、ジルコニウム酸鉛ランタン（Pb, La)ZrO₃:PLZT）、マグネシウムニオブ酸チタン酸鉛（Pb(Mg, Nb)TiO₃:PMN-PT）、マグネシウムニオブ酸ジルコン酸チタン酸鉛（Pb(Mg, Nb)(Zr, Ti)O₃:PMN-PZT）、亜鉛ニオブ酸チタン酸鉛（Pb(Zn, Nb)TiO₃:PZN-PT）、スカンジウムニオブ酸チタン酸鉛（Pb(Sc, Nb)TiO₃:PSN-PT）、ニッケル

ニオブ酸チタン酸鉛（ $Pb(Ni, Nb)TiO_3 : PNN-PT$ ）、 $(Ba_{1-x}Sr_x)TiO_3$ ($0 \leq x \leq 0.3$)、 $Bi_4Ti_3O_{12}$ 、 $SrBi_2Ta_2O_9$ 、 $LiNbO_3$ 、 $LiTaO_3$ 、 $KNbO_3$ 、 $BiFeO_3$ などを用いることができる。

【0026】

次いで、図1(d)に示すように前記強誘電体薄膜4上に上部電極5としてPt(白金)を蒸着またはスパッタにより成膜し、これにより下部電極3、強誘電体薄膜4、上部電極5からなる強誘電体素子6を得る。

得られた強誘電体素子6の特性としてPr(残留分極量)を調べたところ、 $80 \mu C/cm^2$ であり、ヒステリシスの角型性も非常に良好であった。また、ファティゲー試験についても、1012回まで特性の劣化が見られなかった。

【0027】

なお、前記上部電極5の形成材料についても、Ptに限定されることなく任意の導電性材料を用いることができる。また、この上部電極5の上に、後述するエッチング処理から強誘電体素子6を保護するため、レジストやSiO₂等からなる保護膜を形成しておくのが好ましい。

また、前記の単結晶基板についても、単結晶シリコン基板1に代えて例えばSrTiO₃などのセラミックスの単結晶基板を用いることができる。

【0028】

(第3工程)

次に、図2(a)に示すように、強誘電体素子6の表面、すなわち上部電極5側に該強誘電体素子6を保持する保持材7を貼着する。保持材7としては、粘着性のフィルムや接着層を有する基板などが用いられる。粘着性のフィルムとしては、フィルムの片面にUV硬化性または熱硬化性の粘着剤が塗布された、フレキシブルで透明なものが好適とされる。また、接着層を有する基板としては、安価で保型性のあるガラス基板などに接着剤を塗布したものが好適とされる。ここで用いる接着剤としては、熱溶融性など後工程で簡単に剥がせるものが好ましい。

なお、このような保持材7としては、特に単結晶シリコン基板1上に多数の強誘電体素子6を形成した場合には、これら強誘電体素子6を一度に転写するため、

保型性のある基板を用いるのが好ましい。また、後工程で強誘電体素子6を接合する際の、位置決めのアライメントの点からは、透明なフィルムを用いるのが好ましい。

本実施形態では、保持材7として粘着性のフィルムを用いるものとする。

【0029】

次いで、前記バッファー層2をウエットエッチングし、これを溶解除去して図2（b）に示すように前記強誘電体素子6を単結晶シリコン基板1から分離する。エッチング液としては、例えば希硝酸が用いられるが、これに限定されることなく、他の酸等も使用可能である。バッファー層2をSrO、あるいはMgO、BaO、CaO、YBa₂Cu₃O_yで形成した場合、前述したようにこれらは酸に対するエッチング速度が非常に速いことから、単結晶シリコン基板1上から簡単に除去される。したがって、強誘電体素子6を保護するためにもエッチング液としての酸は低濃度であるのが好ましい。また、前述したように強誘電体素子6上にエッチング液に耐性のある保護膜を形成しておけば、エッチング液による強誘電体素子6の特性劣化を確実に防止することができる。

なお、強誘電体素子6が分離された単結晶シリコン基板1は、再度強誘電体素子を形成するのに再利用することができる。

【0030】

(第4工程)

次いで、図3（a）に示すように任意基板8を用意し、これの上に接着剤を塗布して接着層9を形成する。任意基板8は、前記の強誘電体素子6を搭載させるためのもので、本実施形態では予め半導体素子を形成したシリコン基板を用いている。すなわち、その表層部に半導体素子が形成され、この半導体素子上にアモルファスのSiO₂層が形成されたシリコン基板を用いている。このようなシリコン基板（任意基板8）に対しては、通常、この上に強誘電体薄膜をエピタキシャル成長させるのが困難であり、したがってこのシリコン基板上に強誘電体素子を直接形成することはできなかった。

【0031】

前記接着層9としては、熱硬化型接着剤、UV硬化型接着剤等の光硬化型接着

剤、反応硬化型接着剤等が使用可能であるが、特に前記保持材7として用いた粘着性のフィルムの粘着剤とは性質が異なるものを使用するのが好ましい。これは、後述するように保持材7を強誘電体素子6から剥離する際に前記接着層9はそのまま残っている必要があるからである。このような接着層9の形成法としては、例えば塗布法を採用することができる。なお、この接着層9については、任意基板8上に形成するのに代えて、強誘電体素子6の裏面、すなわち下部電極側に形成するようにしてもよい。

【0032】

このようにして接着層9を形成した後、図3（b）に示すように強誘電体素子6を任意基板8上の所望位置にアライメントし、さらにこれを圧着して任意基板8上に接合する。

次いで、強誘電体素子6の表面に貼着していた保持材7を強誘電体素子6上から除去する。ここで、保持材7としてのフィルムの粘着剤にUV硬化型接着剤を用いた場合には、図3（c）に示すように、フィルム（保持材7）側から紫外線（UV）を照射することにより、フィルムの粘着剤の粘着力を消失させる。

そして、粘着力がなくなったフィルム（保持材7）を剥離することにより、図3（d）に示すように保持材7を強誘電体素子6上から除去する。

その後、予め任意基板8に形成した半導体素子と強誘電体素子6を電気的に接続することにより、目的の強誘電体メモリを得る。このようにして任意基板8上に転写された強誘電体素子6の特性を調べたところ、単結晶基板1上に形成されたときの特性とほとんど変化がなかった。

【0033】

このような強誘電体素子の製造方法にあっては、単結晶シリコン基板1上にバッファー層を介して強誘電体素子6を形成した後、この強誘電体素子6を単結晶シリコン基板1から分離して任意基板8上に配設するようにしたので、任意基板8に予め半導体素子を形成しておくことにより、強誘電体メモリ等の強誘電体素子と半導体素子との集積化を容易に行うことができるようになる。すなわち、この製造方法によれば、任意基板8に形成された保護膜や層間絶縁膜などのアモルファスシリコン上にも、高品質なエピタキシャル膜からなる強誘電体素子6を容

易に設けることができる。

【0034】

また、バッファー層2を、NaCl構造の金属酸化物、および層状ペロブスカイト構造のYBaCuO系化合物のうちの少なくとも一種から形成したことにより、酸等に容易に溶解することでこれを犠牲層としても良好に機能させることができ、しかも、この上に強誘電体素子6を構成する強誘電体薄膜4をエピタキシャル成長させることができ、したがって高性能な強誘電体素子6を形成することができる。

【0035】

なお、前記実施形態では任意基板8として、前述したようにその表層部に半導体素子が形成され、この半導体素子上にアモルファスのSiO₂層が形成されたシリコン基板を用いたが、本発明はこれに限定されることなく、目的や用途に応じて例えばガラス基板や金属基板、プラスチック基板、フレキシブル基板など多種多様な任意の基板を用いることができる。

また、強誘電体薄膜4の形成についても、エピタキシャル成長で行うのに代えて、蒸着法やスパッタ法による成膜法で行ってもよい。

【0036】

また、本発明の強誘電体素子の製造方法においては、特に単結晶シリコン基板1上に強誘電体素子6を複数形成する場合に、強誘電体素子6の表面に保持材7を貼着する前に、前記強誘電体素子6間に前記バッファー層2にまで達する深さの溝を形成するようにしてもよい。

このようにすれば、バッファー層2をエッチングすることにより複数の強誘電体素子を個片化した状態に分離することができる。また、特にエッチングとしてウエットエッチングを採用した場合に、エッチング液が前記溝を通ってバッファー層2の中央部にまで容易に入り込み、バッファー層2全体がより速くエッチングすることができる。

【0037】

また、前記実施形態では本発明の強誘電体素子の製造方法について述べたが、下部電極3や上部電極5を形成することなく、単に強誘電体薄膜4のみを形成す

るようにもよい。そのように強誘電体薄膜4のみを形成するようすれば、本発明の強誘電体膜の製造方法となる。なお、このようにして得られる強誘電体薄膜4は、多くの場合圧電薄膜としても機能するものとなる。

【0038】

このような強誘電体膜の製造方法で得られる素子として、例えば図4に示す表面弹性波素子10を挙げることができる。この表面弹性波素子10を製造する場合、前記実施形態においてバッファー層2上に下部電極3を形成することなく直接圧電薄膜（強誘電体薄膜4）を形成するようにし、この圧電薄膜（強誘電体薄膜4）を図4に示したように任意基板8上に接着層9を介して配置する。そして、この強誘電体薄膜4上に保護膜11を介して電極12を設けることにより、表面弹性波素子10を得る。ここで、電極12はインターディジタル型電極（Inter-Digital Transducer：以下、「IDT電極」と表記する）であり、上部から観察すると、例えば後述する図5及び図6に示すインターディジタル型電極41、42、51、52、53のような形状を有するものである。

【0039】

この表面弹性波素子10における圧電薄膜（強誘電体薄膜4）の材料としては、LiNbO₃、LiTaO₃、KNbO₃などが挙げられるが、これらはアルカリ金属を含むことから、半導体デバイスからは嫌われる材料である。しかし、前述したような本発明の方法を用いれば、アルカリ金属の拡散などによる不都合を招くことなく、半導体デバイスとの集積化を容易に行うことができる。

なお、このような強誘電体薄膜の製造方法は、表面弹性波素子10の製造以外にも、例えば他の圧電素子の作製にも適用することができる。具体的には、圧電薄膜を用いたインクジェットヘッド、さらにはそれを用いたインクジェットプリンターにも応用可能である。

【0040】

図5に、本発明における周波数フィルタの一実施形態の外観を示す。

図5に示すように、周波数フィルタは基板40を有するものである。この基板40としては、例えば図4に示した表面弹性波素子を配置（転写）した任意基板

が用いられている。すなわち、図4に示した表面弾性波素子を形成した基板の場合、シリコン基板からなる任意基板8上に接着層9、圧電薄膜（強誘電体薄膜4）、保護層11をこの順に積層して形成された基板である。

【0041】

基板40の上面には、IDT電極41及び42が形成されている。IDT電極41、42は、例えばAl又はAl合金によって形成されたもので、その厚みはIDT電極41、42のピッチの100分の1程度に設定されている。また、IDT電極41、42を挟むように、基板40の上面には吸音部43、44が形成されている。吸音部43、44は、基板40の表面を伝播する表面弾性波を吸収するものである。基板40上に形成されたIDT電極41には高周波信号源45が接続されており、IDT電極42には信号線が接続されている。

【0042】

前記構成において、高周波信号源45から高周波信号が出力されると、この高周波信号はIDT電極41に印加され、これによって基板40の上面に表面弾性波が発生する。この表面弾性波は、約5000m/s程度の速度で基板40上面を伝播する。IDT電極41から吸音部43側へ伝播した表面弾性波は、吸音部43で吸収されるが、IDT電極42側へ伝播した表面弾性波のうち、IDT電極42のピッチ等に応じて定まる特定の周波数又は特定の帯域の周波数の表面弾性波は電気信号に変換されて、信号線を介して端子46a、46bに取り出される。なお、前記特定の周波数又は特定の帯域の周波数以外の周波数成分は、大部分がIDT電極42を通過して吸音部44に吸収される。このようにして、本実施形態の周波数フィルタが備えるIDT電極41に供給した電気信号の内、特定の周波数又は特定の帯域の周波数の表面弾性波のみを得る（フィルタリングする）ことができる。

【0043】

図6に、本発明における発振器の一実施形態の外観を示す。

図6に示すように、発振器は基板50を有するものである。この基板50としては、前記周波数フィルタの場合と同様に、例えば図4に示した表面弾性波素子を形成した基板が用いられている。

【0044】

基板50上面には、IDT電極51が形成されており、さらに、IDT電極51を挟むように、IDT電極52，53が形成されている。IDT電極51～53は、例えばAl又はAl合金によって形成されたもので、それぞれの厚みはIDT電極51～53各々のピッチの100分の1程度に設定されている。IDT電極51を構成する一方の櫛歯状電極51aには、高周波信号源54が接続されており、他方の櫛歯状電極51bには、信号線が接続されている。なお、IDT電極51は、電気信号印加用電極に相当し、IDT電極52，53は、IDT電極51によって発生される表面弾性波の特定の周波数成分又は特定の帯域の周波数成分を共振させる共振用電極に相当する。

【0045】

前記構成において、高周波信号源54から高周波信号が出力されると、この高周波信号は、IDT電極51の一方の櫛歯状電極51aに印加され、これによって基板50の上面にIDT電極52側に伝播する表面弾性波及びIDT電極53側に伝播する表面弾性波が発生する。なお、この表面弾性波の速度は5000m/s程度である。これらの表面弾性波の内の特定の周波数成分の表面弾性波は、IDT電極52及びIDT電極53で反射され、IDT電極52とIDT電極53との間には定在波が発生する。この特定の周波数成分の表面弾性波がIDT電極52，53で反射を繰り返すことにより、特定の周波数成分又は特定の帯域の周波数成分が共振して、振幅が増大する。この特定の周波数成分又は特定の帯域の周波数成分の表面弾性波の一部は、IDT電極51の他方の櫛歯状電極51bから取り出され、IDT電極52とIDT電極53との共振周波数に応じた周波数（又はある程度の帯域を有する周波数）の電気信号が端子55aと端子55bに取り出すことができる。

【0046】

図7は、本発明の発振器（表面弾性波素子）をVCSCO（Voltage Controlled SAW Oscillator：電圧制御SAW発振器）に応用した場合の一例を示す図であり、(a)は側面透視図であり、(b)は上面透視図である。

VCSOは、金属製（A1又はステンレススチール製）の筐体60内部に実装されて構成されている。基板61上には、IC（Integrated Circuit）62及び発振器63が実装されている。この場合、IC62は、外部の回路（不図示）から入力される電圧値に応じて、発振器63に印加する周波数を制御する発振回路である。

【0047】

発振器63は、基板64上に、IDT電極65a～65cが形成されており、その構成は、図6に示した発振器とほぼ同様である。なお、基板64には、先の第4実施形態と同様に、例えば図4に示した表面弾性波素子を形成した基板が用いられている。

【0048】

基板61上には、IC62と発振器63とを電気的に接続するための配線66がパターニングされている。IC62及び配線66が例えば金線等のワイヤー線67によって接続され、発振器63及び配線66が金線等のワイヤー線68によって接続されることにより、IC62と発振器63とが配線66を介して電気的に接続されている。

【0049】

また、前記のVCSOは、IC62と発振器（表面弾性波素子）63を同一基板上に集積させて形成することも可能である。

図8に、IC62と発振器63とを集積させたVCSOの概略図を示す。なお、図8中においては、発振器63は、図4に示した表面弾性波素子10の構造を有するものとしている。

図8に示すように、VCSOは、IC62と発振器63とにおいて、単結晶シリコン基板61(8)を共有させて形成されている。IC62と、発振器63に備えられた電極65aとは、図示しないものの電気的に接続されている。本実施形態では、IC62を構成するトランジスタとして、特に、TFT（薄膜トランジスタ）を採用している。

【0050】

IC62を構成するトランジスタとしてTFTを採用することにより、本実施

形態では、まず、単結晶シリコン基板61上にTFTを形成しておき、その後、単結晶シリコン基板61とは別の基板上で形成した発振器（表面弾性波素子）63を、単結晶シリコン基板61上に転写させて、TFTと発振器63を集積させることができる。したがって、基板上に発振器（表面弾性波素子）63を直接形成させることが困難か、形成させることができない材料であっても、本発明の方法による転写によって容易に形成することができる。

図7及び図8に示したVCSOは、例えば、図9に示すPLL回路のVCO（Voltage Controlled Oscillator）として用いられる。ここで、PLL回路について簡単に説明する。

【0051】

図9はPLL回路の基本構成を示すブロック図であり、この図9に示すようにPLL回路は、位相比較器71、低域フィルタ72、増幅器73、及びVCO74から構成されている。位相比較器71は、入力端子70から入力される信号の位相（又は周波数）とVCO74から出力される信号の位相（又は周波数）とを比較し、その差に応じて値が設定される誤差電圧信号を出力するものである。低域フィルタ72は、位相比較器71から出力される誤差電圧信号の位置の低周波成分のみを通過させるものであり、増幅器73は、低域フィルタ72から出力される信号を増幅するものである。VCO74は、入力された電圧値に応じて発振する周波数がある範囲で連続的に変化する発振回路である。

【0052】

このような構成のもとにPLL回路は、入力端子70から入力される位相（又は周波数）とVCO74から出力される信号の位相（又は周波数）との差が減少するように動作し、VCO74から出力される信号の周波数を入力端子70から入力される信号の周波数に同期させる。VCO74から出力される信号の周波数が入力端子70から入力される信号の周波数に同期すると、その後は一定の位相差を除いて入力端子70から入力される信号に一致し、また、入力信号の変化に追従するような信号を出力するようになる。

【0053】

図10に、本発明における電子回路の一実施形態の電気的構成をブロック図で

示す。なお、図10に示す電子回路は、例えば、図11に示す携帯電話機100の内部に設けられる回路である。ここで、図11に示した携帯電話機100は、本発明の電子機器の一例としてのもので、アンテナ101、受話器102、送話器103、液晶表示部104、及び操作部105等を備えて構成されたものである。

【0054】

図10に示した電子回路は、前記携帯電話機100内に設けられる電子回路の基本構成を有したもので、送話器80、送信信号処理回路81、送信ミキサ82、送信フィルタ83、送信電力増幅器84、送受分波器85、アンテナ86a、86b、低雑音増幅器87、受信フィルタ88、受信ミキサ89、受信信号処理回路90、受話器91、周波数シンセサイザ92、制御回路93、及び入力／表示回路94を備えて構成されたものである。なお、現在実用化されている携帯電話機は、周波数変換処理を複数回行っているため、その回路構成はより複雑となっている。

【0055】

送話器80は、例えば音波信号を電気信号に変換するマイクロフォン等で実現されるもので、図11に示す携帯電話機100中の送話器103に相当するものである。送信信号処理回路81は、送話器80から出力される電気信号に対して、例えばD/A変換処理、変調処理等の処理を施す回路である。送信ミキサ82は、周波数シンセサイザ92から出力される信号を用いて送信信号処理回路81から出力される信号をミキシングするものである。なお、送信ミキサ82に供給される信号の周波数は、例えば380MHz程度である。送信フィルタ83は、中間周波数（以下、「IF」と表記する）の必要となる周波数の信号のみを通過させ、不要となる周波数の信号をカットするものである。なお、送信フィルタ83から出力される信号は、図示しない変換回路によってRF信号に変換されるようになっている。このRF信号の周波数は、例えば1.9GHz程度である。送信電力増幅器84は、送信フィルタ83から出力されるRF信号の電力を増幅し、送受分波器85へ出力するものである。

【0056】

送受分波器85は、送信電力増幅器84から出力されるR F信号をアンテナ86a, 86bへ出力し、アンテナ86a, 86bから電波の形で送信するものである。また、送受分波器85は、アンテナ86a, 86bで受信した受信信号を分波して、低雑音増幅器87へ出力するものである。なお、送受信分波器85から出力される受信信号の周波数は、例えば2.1GHz程度である。低雑音増幅器87は、送受分波器85からの受信信号を増幅するものである。なお、低雑音増幅器87から出力される信号は、図示しない変換回路によってI Fに変換されるようになっている。

【0057】

受信フィルタ88は、図示しない変換回路によって変換されたI Fの必要となる周波数の信号のみを通過させ、不要となる周波数の信号をカットするものである。受信ミキサ89は、周波数シンセサイザ92から出力される信号を用いて、送信信号処理回路81から出力される信号をミキシングするものである。なお、受信ミキサ89に供給される中間周波数は、例えば190MHz程度である。受信信号処理回路90は、受信ミキサ89から出力される信号に対して、例えばA/D変換処理、復調処理等の処理を施す回路である。受話器91は、例えば電気信号を音波に変換する小型スピーカ等で実現されるもので、図11に示した携帯電話機100中の受話器102に相当するものである。

【0058】

周波数シンセサイザ92は、送信ミキサ82へ供給する信号（例えば、周波数380MHz程度）及び受信ミキサ89へ供給する信号（例えば、周波数190MHz）を生成する回路である。なお、周波数シンセサイザ92は、例えば760MHzの発振周波数で発信するPLL回路を備え、このPLL回路から出力される信号を分周して周波数が380MHzの信号を生成し、さらに分周して周波数が190MHzの信号を生成するようになっている。制御回路93は、送信信号処理回路81、受信信号処理回路90、周波数シンセサイザ92、及び入力/表示回路94を制御することにより、携帯電話機の全体動作を制御するものである。入力/表示回路94は、図11に示した携帯電話機100の使用者に対して機器の状態を表示したり、操作者の指示を入力するためのものであり、例えばこ

の携帯電話機 100 の液晶表示部 104 及び操作部 105 に相当するものである。

【0059】

以上の構成の電子回路において、送信フィルタ 83 及び受信フィルタ 88 として、図 5 に示した周波数フィルタが用いられている。フィルタリングする周波数（通過させる周波数）は、送信ミキサ 82 から出力される信号の内の必要となる周波数、及び、受信ミキサ 89 で必要となる周波数に応じて送信フィルタ 83 及び受信フィルタ 88 で個別に設定されている。また、周波数シンセサイザ 92 内に設けられる PLL 回路は、図 8 に示した PLL 回路の VCO 74 として、図 6 に示した発振器又は図 7 及び図 8 に示した発振器 (VCSO) を設けたものである。

【0060】

以上、本発明の実施形態による表面弾性波素子、周波数フィルタ、発振器及びその製造方法、電子回路、及び電子機器（携帯電話機 100）について説明したが、本発明は、前記実施形態に制限されず、本発明の範囲内で自由に変更が可能である。

例えば、前記実施形態においては電子機器として携帯電話機を挙げたが、これ以外にも他の携帯情報機器やパーソナルコンピューターなどに用いることができ、また、電子回路として携帯電話機内に設けられる電子回路をその一例として挙げたが、これ以外の種々の移動体通信機器の内部に設けられる電子回路に適用することができる。

【0061】

さらに、移動体通信機器のみならず BS 及び CS 放送を受信するチューナ等の据置状態で使用される通信機器及びその内部に設けられる電子回路にも適用することができる。さらには、通信キャリアとして空中を伝播する電波を使用する通信機器のみならず、同軸ケーブル中を伝播する高周波信号又は光ケーブル中を伝播する光信号を用いる HUB 等の電子機器及びその内部に設けられる電子回路にも適用することができる。

【図面の簡単な説明】

- 【図 1】 (a) ~ (d) は本発明の強誘電体素子の製造工程図である。
- 【図 2】 (a) 、 (b) は本発明の強誘電体素子の製造工程図である。
- 【図 3】 (a) ~ (d) は本発明の強誘電体素子の製造工程図である。
- 【図 4】 本発明の表面弾性波素子を示す側断面図である。
- 【図 5】 本発明の周波数フィルタを示す斜視図である。
- 【図 6】 本発明の発振器を示す斜視図である。
- 【図 7】 図 6 の発振器を V C S O に応用した一例を示す概略図である。
- 【図 8】 図 6 の発振器を V C S O に応用した一例を示す概略図である。
- 【図 9】 P L L 回路の基本構成を示すブロック図である。
- 【図 10】 本発明の電子回路の構成を示すブロック図である。
- 【図 11】 電子機器の実施形態としての携帯電話機を示す斜視図である。

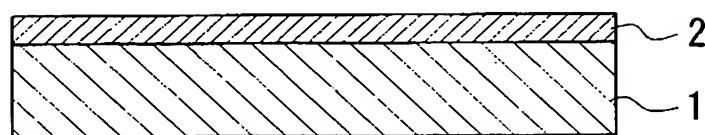
【符号の説明】

1 … 単結晶シリコン基板（単結晶基板）、 2 … バッファー層、 3 … 下部電極、
4 … 強誘電体薄膜（強誘電体膜）、 5 … 上部電極、 6 … 強誘電体素子、
7 … 保持材、 8 … 任意基板、 9 … 接着層、 10 … 表面弾性波素子

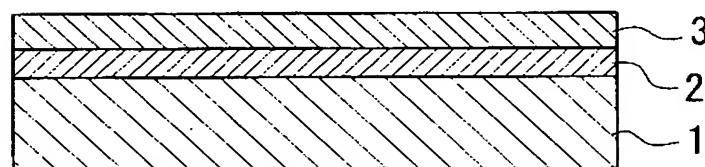
【書類名】 図面

【図1】

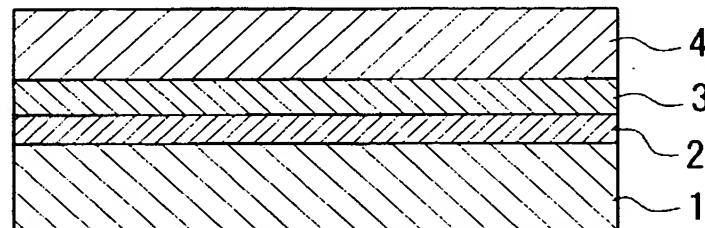
(a)



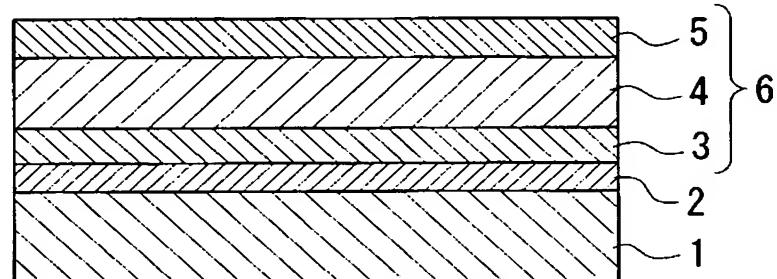
(b)



(c)

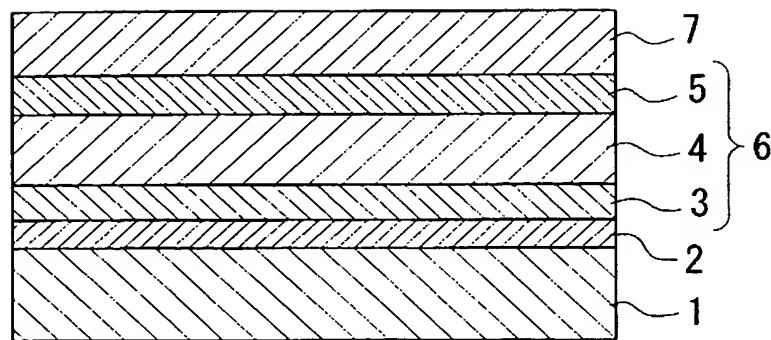


(d)

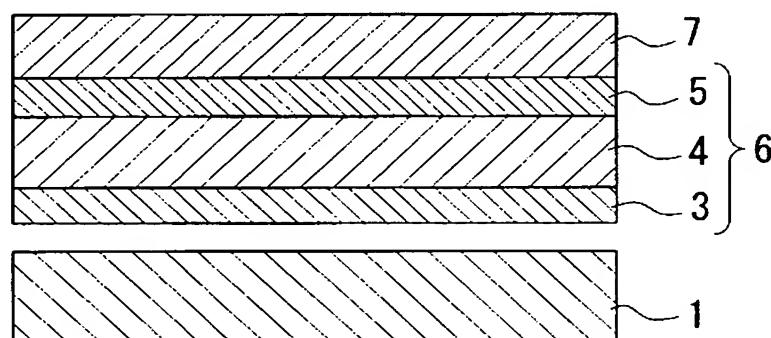


【図2】

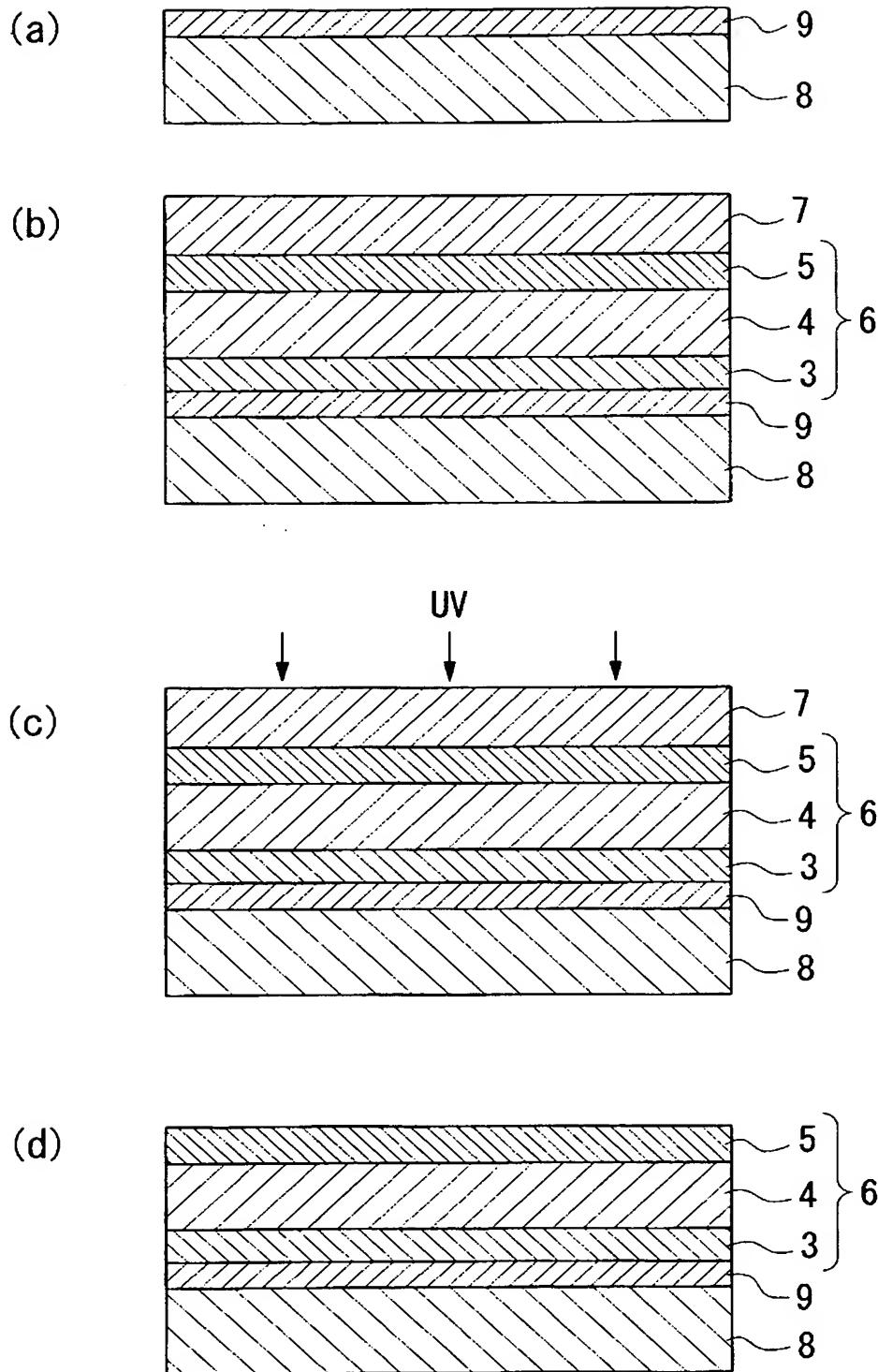
(a)



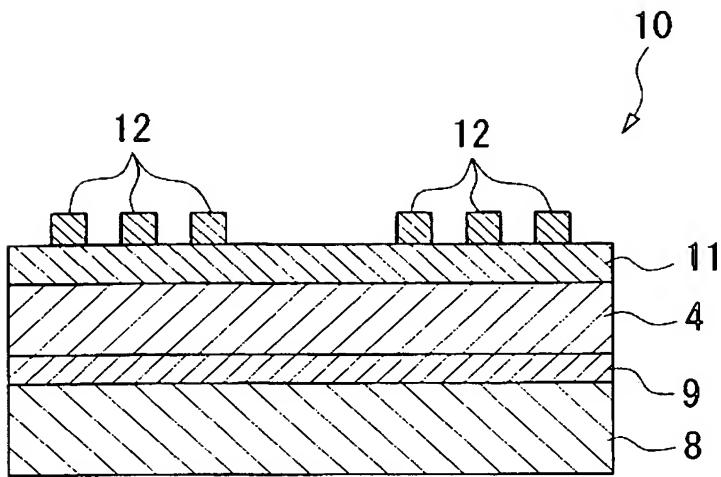
(b)



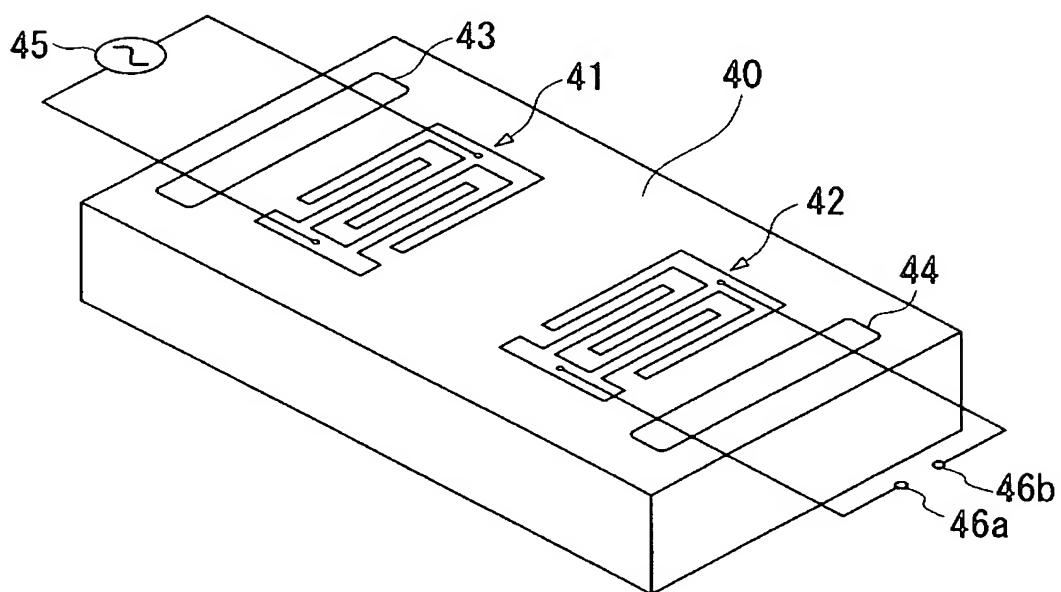
【図3】



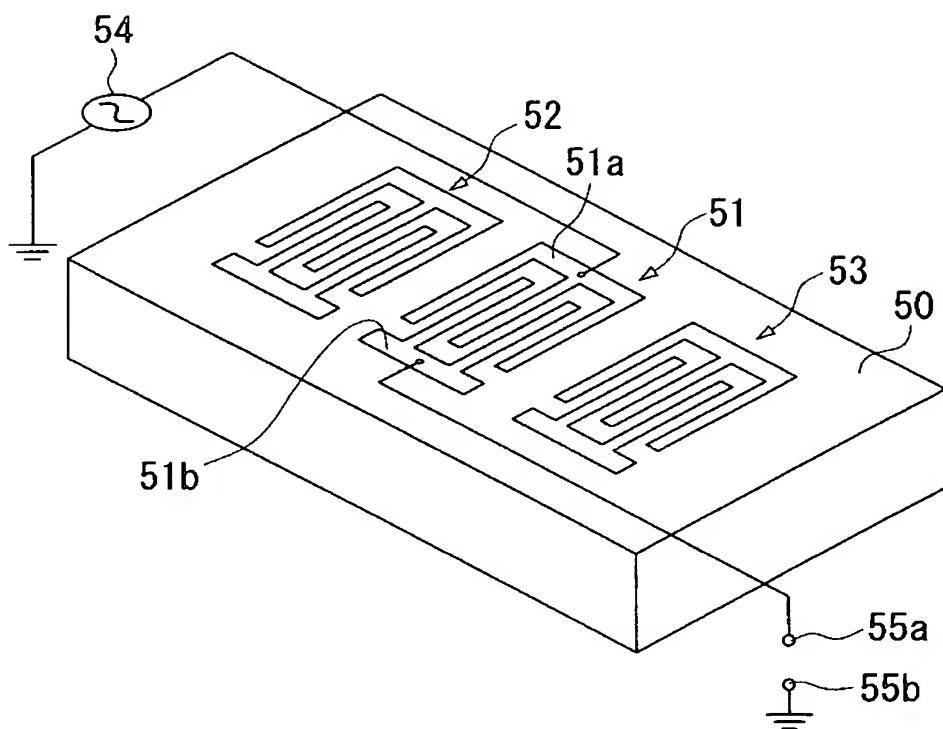
【図4】



【図5】

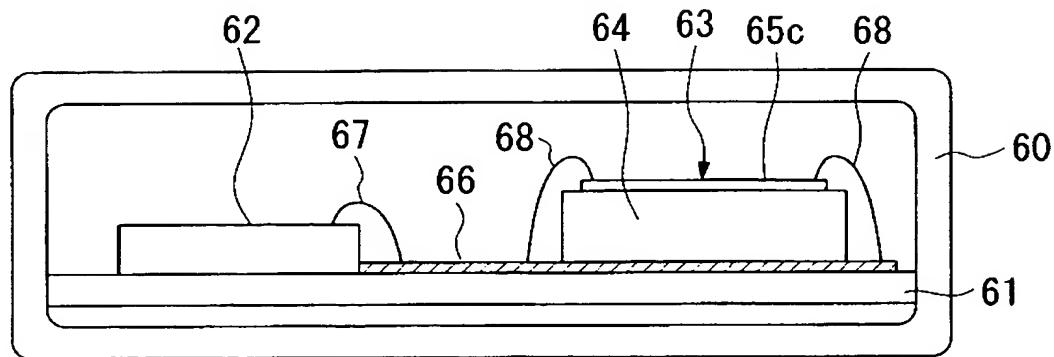


【図6】

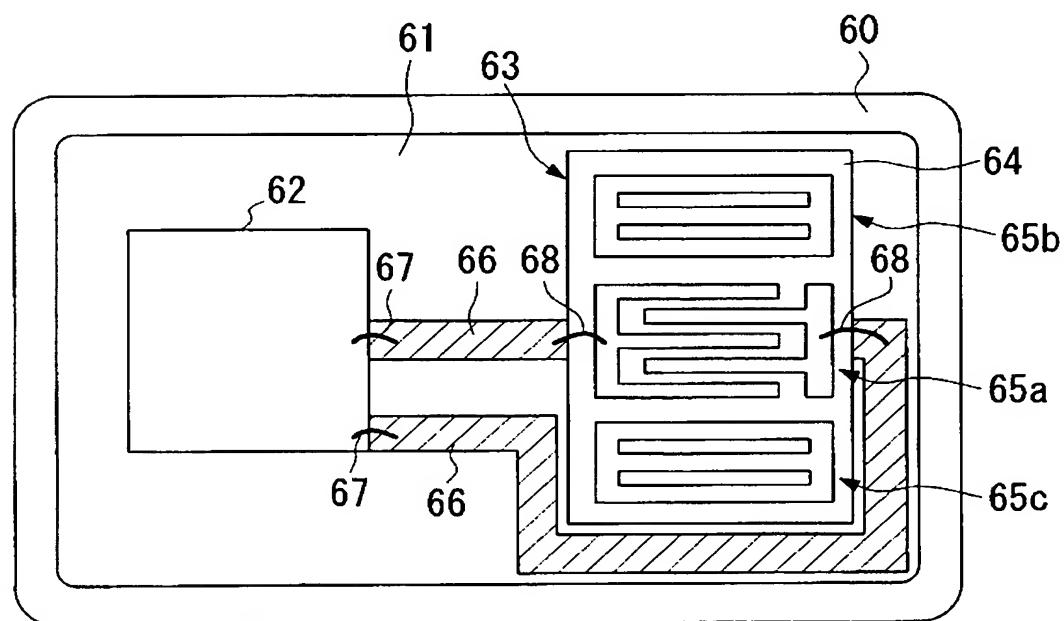


【図7】

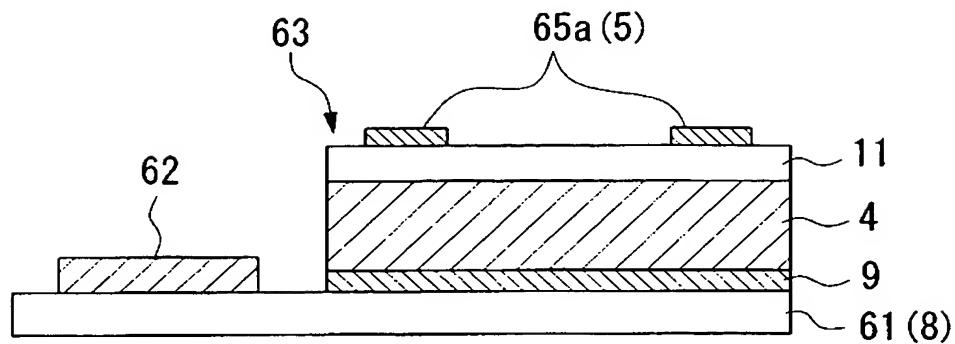
(a)



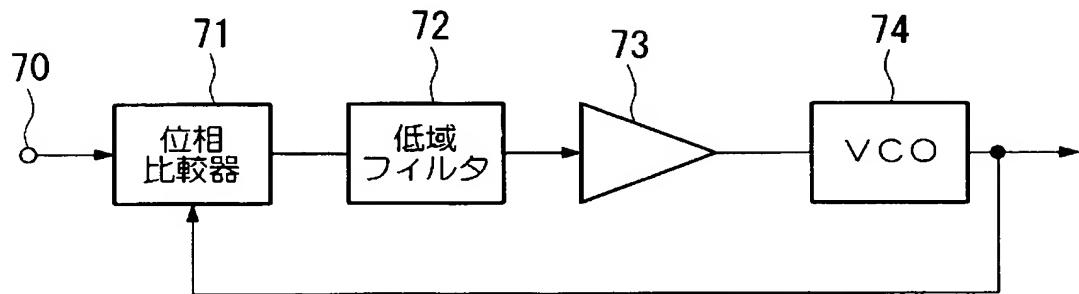
(b)



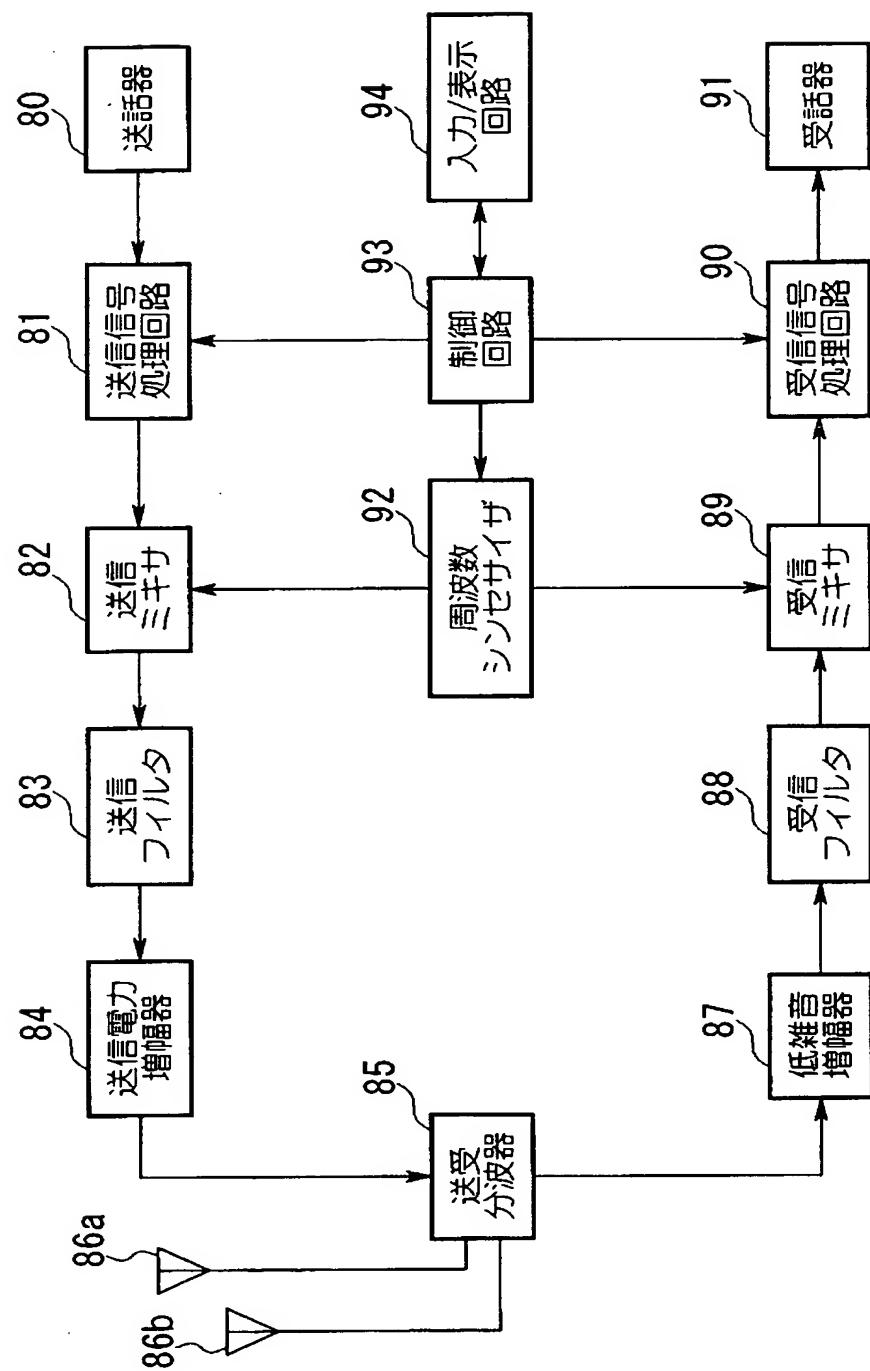
【図 8】



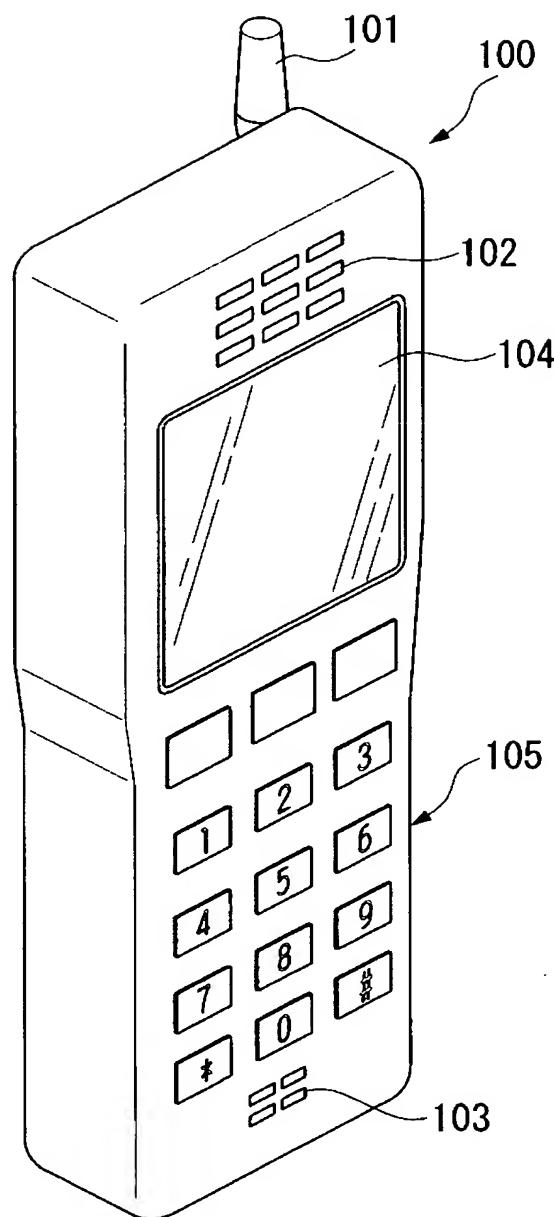
【図 9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 任意の基板上に高性能な強誘電体素子を形成することができ、これにより強誘電体素子と半導体素子との集積化を容易にした強誘電体膜の製造方法および強誘電体素子の製造方法を提供し、さらにこれら製造方法から得られる強誘電体膜あるいは強誘電体素子を用いた表面弹性波素子、およびこの表面弹性波素子を用いた周波数フィルタ、発振器、電子回路、及び電子機器を提供する。

【解決手段】 単結晶基板1上に犠牲層としても機能するバッファー層2を形成する工程と、バッファー層2上に強誘電体素子6（強誘電体薄膜4）を形成する工程と、強誘電体素子6（強誘電体薄膜4）を単結晶基板1から分離する工程と、単結晶基板1から分離された強誘電体素子を任意基板上に配設する工程と、を備えた強誘電体素子の製造方法。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-085760
受付番号	50300493911
書類名	特許願
担当官	伊藤 雅美 2132
作成日	平成 15 年 4 月 2 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーユーポン株式会社
【代理人】	申請人
【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビ ル 志賀国際特許事務所
【氏名又は名称】	渡邊 隆
【代理人】	
【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武
【選任した代理人】	
【識別番号】	100110364
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビ ル 志賀国際特許事務所
【氏名又は名称】	実広 信哉

次頁無

特願 2003-085760

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社